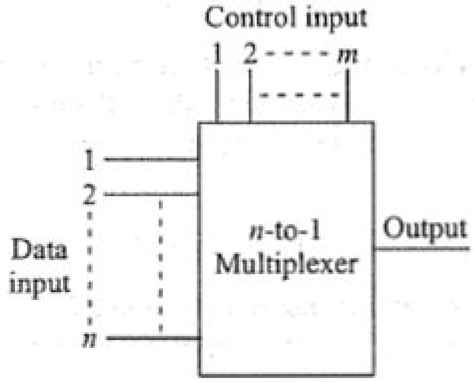
UNIT – III : DATA PROCESSING CIRCUITS NOTES

Multiplexers

Multiplex means many into one. A multiplexer is a circuit with many inputs but only one output. By applying control signals, we can steer any input to the output. Thus it is also called a data selector and control inputs are termed select inputs. Figure (a) shows the general idea.

மல்டிப்ளெக்ஸ் என்பது பலவற்றில் ஒன்றாகும். மல்டிபிளெக்சர் என்பது பல உள்ளீடுகளைக் கொண்ட ஒரு சுற்று, ஆனால் ஒரே ஒரு வெளியீடு. கட்டுப்பாட்டு சமிக்ஞைகளைப் பயன்படுத்துவதன் மூலம், வெளியீட்டில் எந்த உள்ளீட்டையும் வழிநடத்தலாம். எனவே இது தரவு தேர்வாளர் என்றும் அழைக்கப்படுகிறது மற்றும் கட்டுப்பாட்டு உள்ளீடுகள் தேர்ந்தெடுக்கும் உள்ளீடுகள் என்றும் அழைக்கப்படுகின்றன. படம் (a) பொதுவான கருத்தைக் காட்டுகிறது.



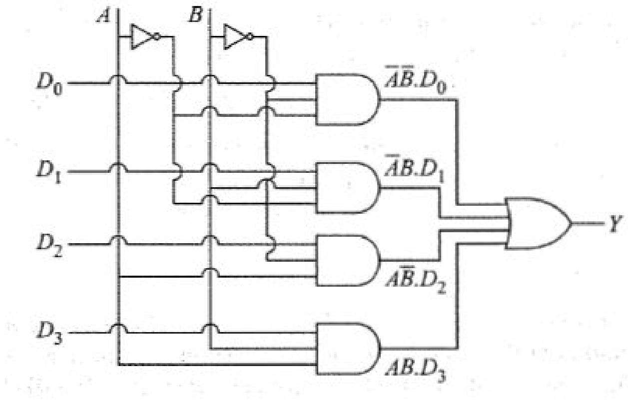
(a)

The circuit has n input signals, m control signals and 1 output signal. Note that, m control signals can select at the most 2^m input signals thus n less than or equal to 2^m The circuit diagram of a 4-to-1 multiplexer is shown in Fig. (c) and its truth table in Fig. (b).

சுற்றுக்கு n உள்ளீட்டு சமிக்ஞைகள், m கட்டுப்பாட்டு சமிக்ஞைகள் மற்றும் 1 வெளியீட்டு சமிக்ஞை உள்ளன. m கட்டுப்பாட்டு சமிக்ஞைகள் 2^m க்கும் குறைவான அல்லது அதற்கு சமமான உள்ளீட்டு சமிக்ஞைகளில் தேர்ந்தெடுக்க முடியும் என்பதை நினைவில் கொள்க. 4 - to - 1 மல்டிபிளெக்சரின் சுற்று வரைபடம் படம். (c) மற்றும் அதன் உண்மை அட்டவணை படம் (b) இல் காட்டப்பட்டுள்ளது.

A	B	Y
0	0	D_0
0	1	D_1
1	0	D_2
1	1	D_3

(b)



(c)

Depending on control inputs A, B one of the four inputs Do to D3 is steered to output Y. Let us write the logic equation of this circuit. Clearly, it will give a SOP representation, each AND gate generating a product term, which finally are summed by OR gate. Thus,

கட்டுப்பாட்டு உள்ளீடுகளைப் பொறுத்து A, B நான்கு உள்ளீடுகளில் ஒன்று D0 லிருந்து D3 வெளியீட்டிற்கு இயக்கப்படுகிறது. இந்த சுற்றுக்கான தர்க்க சமன்பாட்டை எழுதுவோம். தெளிவாக, இது ஒரு SOP சமன்பாட்டை கொடுக்கும், AND வாயில் ஒவ்வொன்றும் ஒரு பெருக்கல் சொற்கள் (product terms) உருவாக்கும், அவை இறுதியாக OR வாயிலால் சுருக்கப்படுகின்றன. இதனால்,

$$Y = \bar{A}\ \bar{B}\ D0 + + \bar{A}\ B\ D1 + A\ \bar{B}\ D2 + A\ B\ D3$$

If A = 0, B = 0, $Y = \bar{0}\,.\,\bar{0}\,.\,D0 + \bar{0}\,.\,0\,.\,D1 + 0\,.\,\bar{0}\,.\,D2 + 0\,.\,0\,.\,D3$

$$Y = 1.\,1.\,D0 + 1.\,0\,.\,D2 + 0.\,1.\,D2 + 0.\,0\,.\,D3$$

$$Y = D0$$

In other words, for AB = 00, the first AND gate to which D0 is connected remains active and equal to Do and all other AND gates are inactive with output held at logic 0. Thus, multiplexer output Y is the same as D0.

If D0 =0, Y = 0 and if D0 = 1, Y= 1.

Similarly, for AB = 01, the second AND gate will be active and all other AND gates remain inactive. Thus, output Y = D1 . Following the same procedure we can complete the truth table of Fig. (b).

வேறு வார்த்தைகளில் கூறுவதானால், AB = 00 க்கு, D0 இணைக்கப்பட்டுள்ள முதல் AND வாயில் செயலில் (active) உள்ளது மற்றும் மற்ற அனைத்து AND வாயில்களும் தர்க்கம் 0 இல் உள்ள வெளியீட்டில் செயலற்றவை. இதனால், மல்டிபிளெக்சர் வெளியீடு Y என்பது D0 க்கு சமம். D0 = 0 என்றால், Y = 0 மற்றும் D0 = 1 என்றால், Y = 1.
இதே போல், AB = 01 க்கு, இரண்டாவது AND வாயில் செயலில் இருக்கும் மற்றும் மற்ற அனைத்து AND வாயில்களும் செயலற்ற நிலையில் இருக்கும். இவ்வாறு, வெளியீடு Y = D1. அதே நடைமுறையைப் பின்பற்றி நாம் படம் (b) இன் உண்மை அட்டவணையை முடிக்க முடியும்.

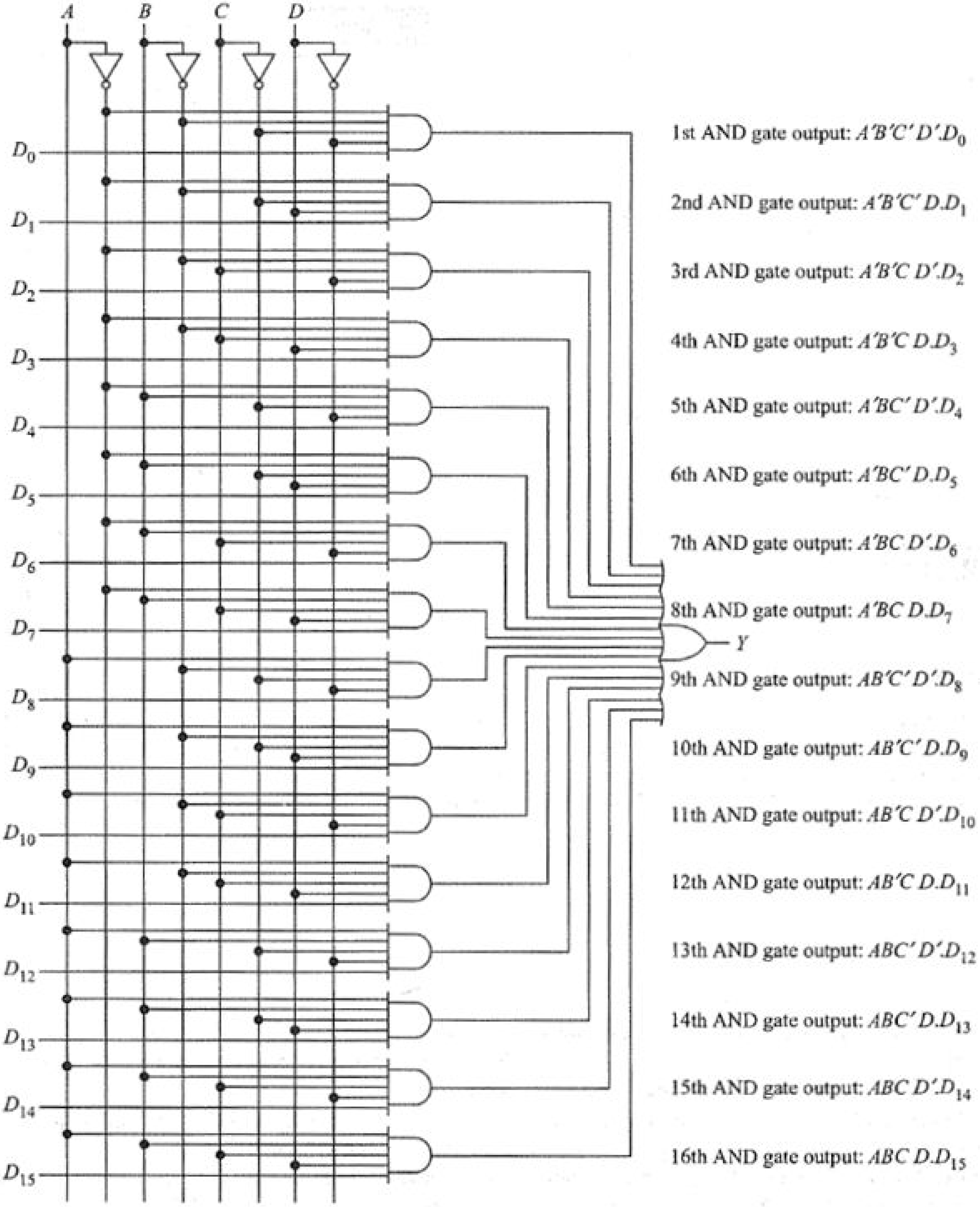
Commercial multiplexers ICs come in integer power of 2, e.g. 2-to-1, 4-to-1, 8-to- 1, 16-to-l multiplexers. With this background, let us look at a 16 - to - 1 multiplexer circuit, which may look complex but follows the same logic as that of a 4-to-1 multiplexer.

வணிக மல்டிபிளெக்சர் ஐ.சி க்கள் 2 இன் முழு மடங்குகளாக வருகின்றன, எ.கா. 2-க்கு -1, 4-க்கு -1, 8-க்கு -1, 16-க்கு-எல் மல்டிபிளெக்சர்கள். இந்த பின்னணியுடன், 16 முதல் 1 மல்டிபிளெக்சர் சுற்றைபார்ப்போம், இது சிக்கலானதாகத் தோன்றலாம், ஆனால் 4 முதல் 1 மல்டிபிளெக்சரின் அதே தர்க்கத்தைப் பின்பற்றுகிறது.

16-to-1 Multiplexer

The figure below shows a 16-to-1 multiplexer. The input bits are labeled Do to D15. Only one of these is transmitted to the output. Which one depends on the value of ABCD, the control input. For instance, when ABCD = 0000 the upper AND gate is enabled while all other AND gates are disabled. Therefore, data bit Do is transmitted to the output, giving, Y = Do If Do is low, Y is low; if Do is high, Y is high. The point is that Y depends only on the value of Do .If the control nibble (group of 4-bits) is changed to ABCD= 1111 all gates are disabled except the bottom AND gate. In this case, D15 is the only bit transmitted to the output,and Y = D15
கீழே உள்ள படம் 16 - to - 1 மல்டிபிளெக்சரைக் காட்டுகிறது. உள்ளீட்டு பிட்கள் Do to D15 என பெயரிடப்பட்டுள்ளன. இவற்றில் ஒன்று மட்டுமே வெளியீட்டிற்கு அனுப்பப்படுகிறது. கட்டுப்பாட்டு உள்ளீடான ABCD யின் மதிப்பைப் பொறுத்தது. உதாரணமாக, ABCD = 0000 போது மேல் AND வாயில் இயக்கப்பட்டிருக்கும்போது மற்ற எல்லா AND வாயில்களும் முடக்கப்படும். எனவே, தரவு பிட் D0 கடத்தப்படுகிறது வெளியீட்டிற்கு, கொடுப்பது, Y = D0 என்றால் D0 LOW ஆக இருந்தால், Y LOW ஆக இருக்கும்; Do HIGH ஆக இருந்தால், Y ஆக High உள்ளது. அதாவது, Y என்பது Do இன்

மதிப்பை மட்டுமே சார்ந்துள்ளது. கட்டுப்பாட்டு நிப்பிள் (4-பிட்களின் குழு) ABCD = 1111 என்று மாற்றப்பட்டால் கீழேயுள்ள AND வாயிலைத் தவிர அனைத்து வாயில்களும் முடக்கப்பட்டுள்ளன. இந்த சூழலில் , D15 மட்டுமே வெளியீட்டிற்கு அனுப்பப்படுகிறது, மற்றும் Y = D15



The control nibble determines which of the input data bits is transmitted to the output. Thus we can write output as

கட்டுப்பாட்டு நிப்பிள் எந்த உள்ளீட்டு தரவு பிட்களை வெளியீட்டிற்கு கடத்துகிறது என்பதை தீர்மானிக்கிறது. இவ்வாறு நாம் வெளியீட்டை எழுதலாம்

Y = A' B'C'D'.Do + A1B1C1D.D1 + A1B1CD'.D2 + ... + ABCD'.D14 + ABCD.D15

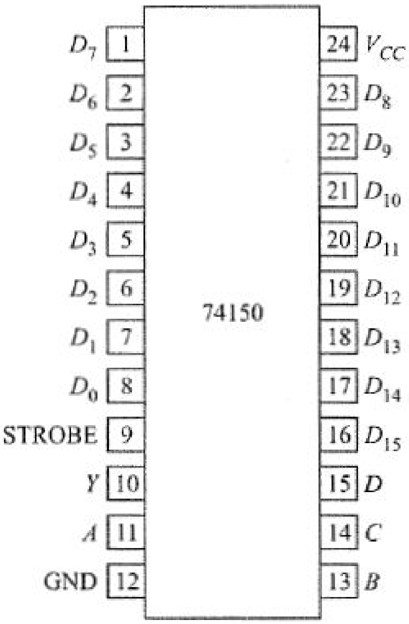
8 to 1 multiplexer circuit: we need three select lines for 8 data inputs. And there will be 8 AND gates each one having four inputs; three from select lines and one from data input. The final output is generated from an OR gate which takes input from 8 AND gates. The equation for this can be written as

8 தரவு உள்ளீடுகளுக்கு, மூன்று தேர்ந்தெடுக்கப்படும் கோடுகள் தேவை. ஒவ்வொன்றும் நான்கு உள்ளீடுகளைக் கொண்ட 8 AND வாயில்கள் இருக்கும்; தேர்ந்தெடுக்கப்படும் வரிகளிலிருந்து மூன்று மற்றும் தரவு உள்ளீட்டிலிருந்து ஒன்று. இறுதி வெளியீடு OR வாயிலிலிருந்து உருவாக்கப்படுகிறது, இது 8 AND வாயில்களிலிருந்து உள்ளீட்டை எடுக்கும். இதற்கான சமன்பாட்டை இவ்வாறு எழுதலாம்

Y = A'B'C'.Do + A1B1C.D1 + A'BC'.D2 + A'BC.D3 + AB'C'.D4 + AB'C.D5 + ABC'.D6 + ABC.D7

Thus, for ABC= 000, multiplexer output Y = D0; other AND gates and corresponding data inputs D1 to D7 remain inactive. Similarly, for ABC= 001, multiplexer output Y = D1, for ABC= 010, multiplexer output Y = D2 and finally, for ABC= 111, multiplexer output Y = D7.

இவ்வாறு, ABC = 000 க்கு, மல்டிபிளெக்சர் வெளியீடு Y = D0; பிற AND வாயில்கள் மற்றும் D1 முதல் D7 வரையிலான தரவு உள்ளீடுகள் செயலற்ற நிலையில் உள்ளன. இதேபோல், ABC = 001 க்கு, மல்டிபிளெக்சர் வெளியீடு Y = D1, ABC = 010 க்கு, மல்டிபிளெக்சர் வெளியீடு Y = D2 மற்றும் இறுதியாக, ABC = 111 க்கு, மல்டிபிளெக்சர் வெளியீடு Y = D 7.



Strobe	A	B	C	D	Y
L	L	L	L	L	$\overline{D_0}$
L	L	L	L	H	$\overline{D_1}$
L	L	L	H	L	$\overline{D_2}$
L	L	L	H	H	$\overline{D_3}$
L	L	H	L	L	$\overline{D_4}$
L	L	H	L	H	$\overline{D_5}$
L	L	H	H	L	$\overline{D_6}$
L	L	H	H	H	$\overline{D_7}$
L	H	L	L	L	$\overline{D_8}$
L	H	L	L	H	$\overline{D_9}$
L	H	L	H	L	$\overline{D_{10}}$
L	H	L	H	H	$\overline{D_{11}}$
L	H	H	L	L	$\overline{D_{12}}$
L	H	H	L	H	$\overline{D_{13}}$
L	H	H	H	L	$\overline{D_{14}}$
L	H	H	H	H	$\overline{D_{15}}$
H	X	X	X	X	H

IC 74150 :

This is the Boolean equation for a typical transistor-transistor logic (TTL) multiplexer because it has an inverter on the output that produces the complement of the selected data bit.
The 74150 is a 16 - to - 1 TTL multiplexer with the pin diagram shown in Figure. Pins 1 to 8 and 16 to 23 are for the input data bits D0 to D15. Pins 11, 13, 14, and 15 are for the control bits ABCD. Pin 10 is the output; and it equals the complement of the selected data bit. Pin 9 is for the STROBE, an input signal that disables or enables the multiplexer. As shown in the Table, a low strobe enables the multiplexer, so that output Y equals the complement of the input data bit: Y= D,, where n is the decimal equivalent of ABCD. On the other hand, a high strobe disables the multiplexer and forces the output into the high state. With a high strobe, the value of ABCD doesn't matter.
இது ஒரு பொதுவான டிரான்சிஸ்டர்-டிரான்சிஸ்டர் லாஜிக் (டி.டி.எல், TTL) மல்டிபிளெக்சருக்கான பூலியன் சமன்பாடு ஆகும், ஏனெனில் இது வெளியீட்டில் ஒரு இன்வெர்ட்டர் இருப்பதால் தேர்ந்தெடுக்கப்பட்ட தரவு பிட்டின் எதிர்நிலையை உருவாக்குகிறது.
74150 என்பது படத்தில் காட்டப்பட்டுள்ளபடி பின் வரைபடத்துடன் 16 முதல் 1 டிடிஎல் (TTL) மல்டிபிளெக்சர் ஆகும். உள்ளீட்டு தரவு பிட்கள் D0 முதல் D15 வரை 1 முதல் 8

மற்றும் 16 முதல் 23 வரை பின்கள். கட்டுப்பாட்டு பிட்கள் ABCDக்கு பின்கள் 11, 13, 14 மற்றும் 15 உள்ளன. பின் 10 என்பது வெளியீடு; மேலும் இது தேர்ந்தெடுக்கப்பட்ட தரவு பிட்டின் எதிர்மறைக்கு சமம். பின் 9 என்பது ஸ்ட்ரோபிற்கானது, இது மல்டிபிளெக்சரை முடக்கும் (disable) அல்லது செயல்படுத்தும் (enable) உள்ளீட்டு சமிக்ஞையாகும். அட்டவணையில் காட்டப்பட்டுள்ளபடி, LOW ஸ்ட்ரோப் மல்டிபிளெக்சரை செயல்படுத்துகிறது, இதனால் வெளியீடு Y என்பது உள்ளீட்டு தரவு பிட்டின் எதிர்மறைக்கு சமம்:

Y = D ,, இங்கு n என்பது ABCD இன் தசம மதிப்பிற்கு சமமானதாகும். மறுபுறம், ஒரு HIGH ஸ்ட்ரோப் மல்டிபிளெக்சரை முடக்குகிறது மற்றும் வெளியீட்டை HIGH நிலைக்கு கட்டாயப்படுத்துகிறது. HIGH ஸ்ட்ரோப் மூலம், ABCD யின் மதிப்பு ஒரு பொருட்டல்ல.

Courtesy: DIGITAL PRINCIPLES AND APPLICATIONS, Donald P Leach, Albert Paul Malvino and Goutam Saha, Tata McGraw Hill Education Private limited, NEW DELHI.